

ОЦЕНКА ВЛИЯНИЯ КОЛИЧЕСТВА ТЕРМОМЕТРИЧЕСКИХ БИТОВ В ЦАП R-2R

Аннотация: В статье рассматривается влияние архитектурных решений на линейность и площадь цифро-аналоговых преобразователей (ЦАП), реализованных на основе резистивной R-2R матрицы. Актуальность исследования обусловлена ростом потребности в компактных и высокоточных ЦАП для современных аналогово-цифровых систем. Целью работы является анализ сегментированных ЦАП, сочетающих термометрические и двоично-взвешенные структуры, с точки зрения дифференциальной (DNL) и интегральной (INL) нелинейностей, а также занимаемой площади. В качестве метода исследования использовано моделирование различных архитектур ЦАП с использованием отечественной технологии КНИ завода «Микрон». Показано, что увеличение доли термометрических битов способствует улучшению линейности за счёт врождённой монотонности, но при этом резко возрастает количество требуемых резисторов и ключей, что увеличивает площадь и сложность схемы. На основе полученных данных предлагаются рекомендации по выбору оптимального архитектурного решения в зависимости от требований конкретного применения.

Ключевые слова: сигнальная обработка, цифро-аналоговое преобразование, цифро-аналоговый преобразователь, архитектура ЦАП, сегментация битов, дифференциальная нелинейность, резистивная матрица R-2R.

Nikitin A. R.

master's student

MIET

Evaluation of the Impact of the Number of Thermometric Bits in an R-2R DAC.

Abstract: The article examines the impact of architectural decisions on the linearity and area of digital-to-analog converters (DACs) based on a resistive R-2R ladder. The relevance of the study is driven by the growing demand for compact and high-precision DACs in modern analog-to-digital systems. The aim of the work is to analyze segmented DACs that combine thermometric and binary-weighted architectures in terms of differential (DNL) and integral (INL) nonlinearity, as well as occupied area. The research method involves simulating various DAC architectures using the domestic CMOS technology of the Mikron plant. It is shown that increasing the share of thermometric bits improves linearity due to inherent monotonicity but significantly increases the number of required resistors and switches, leading to larger area and higher circuit complexity. Based on the obtained data, recommendations are provided for selecting the optimal architectural solution depending on the requirements of a specific application.

Keywords: signal processing, digital-to-analog conversion, digital-to-analog converter, DAC architecture, bit segmentation, differential nonlinearity, R-2R resistive ladder.

Введение

Цифро-аналоговый преобразователь (ЦАП) — это устройство, которое преобразует цифровую информацию в аналоговый сигнал,

например, напряжение, ток или заряд. Цифро-аналоговое преобразование является важной функцией в системах обработки данных. Цифро-аналоговые преобразователи соединяют цифровой выход сигнальных процессоров с аналоговым миром. Кроме того, многоступенчатые аналого-цифровые преобразователи используют промежуточные ЦАП для восстановления аналоговых оценок входного сигнала. Каждое из этих применений предъявляет к ЦАП определённые требования по скорости, точности и энергопотреблению, что требует хорошего понимания различных методов цифро-аналогового преобразования и их недостатков.

В последнее время в мире растет потребность в точных ЦАП и ЦАП с маленькой площадью. Одним из наиболее популярных типов таких преобразователей является модель, построенная на основе резистивной матрицы R-2R. Эта архитектура пользуется популярностью благодаря простоте конструкции, легкости в реализации и обеспечению высокой точности в мегагерцовом диапазоне.

Архитектуру на базе R-2R можно условно разделить на два вида: бинарную и сегментированную (сочетание бинарной и унарной). Двоично взвешенная схема, как правило, применяется для реализации младших битов, что позволяет сократить занимаемую площадь и потребление энергии, а также избежать необходимости в декодировании входного сигнала. Сегментация входных битов между унарной и бинарной частями определяется соотношением, которое является компромиссом между требованиями к линейности, занимаемой площади и энергопотреблению. Унарная часть ЦАП с N битами состоит из $2^{(n-1)}$ токовых ветвей, которые поочередно коммутируются при каждом изменении входного кода на 1 младший значащий разряд (МЗР), обеспечивая монотонность передаточной характеристики. Хотя унарная структура требует больше площади и потребляет больше энергии по сравнению с бинарной, она позволяет достичь высоких показателей линейности и точности. В этой статье

рассматривается метод сегментации ЦАП и его влияние на монотонность схемы. Для моделирования использовалась отечественная КНИ технология завода Микрон.

Архитектура

Двоично-взвешенная(бинарная) архитектура

В двоично-взвешенном ЦАП выходной ток представляет собой сумму набора двоично-взвешенных источников тока, которые масштабируют единичный ток I_u , как показано в формуле (1), где D_i обозначает младший значащий разряд (МЗР) и D_N самый значимый бит (СЗР).

$$I_{out} = \sum_{i=1}^N 2^{i-1} * I_u * D_i \quad (1)$$

Двоичные взвешенные ЦАП имеют два важных недостатка:

1. Строгие требования к согласованию для достижения монотонности
2. Большие сбои импульсов при переключении больших групп элементарных ячеек (СЗР). Возможны реализации кода Грея; однако, поскольку для этого требуется такое же количество битов, что и для двоичного кода, он будет использовать источники с двоичным весом и даст соответствующую низкую производительность DNL.

$$I_{out} = \sum_{i=1}^N 2^{i-1} * I_u * D_i \quad (1)$$

Сегментированная архитектура

Сегментация представляет собой эффективное решение для устранения проблем, выявленных в архитектуре с двоичным взвешиванием. Привлекательность сегментированного подхода заключается в том, что есть возможность использовать резисторы номинала R, такие же как в матрице R-2R бинарного метода. Также сегментированная архитектура имеет преимущество: она позволяет сгладить скачки, которые возникают при переключении основной несущей, добавляя дополнительную ячейку тока и оставляя активными все

Обычно количество термометрических разрядов варьируется от 4 до 7, что обусловлено балансом между показателями DNL и увеличенной площадью топологии за счет большего количества резисторов и ключей. Выбор подходящего количества разрядов определяется размером источников тока и используемой технологией. На рисунке 1 показана частично сегментированная структура ЦАП, где 4 старших разряда (MSB) передаются на декодер, преобразующий их в эквивалентные термометрические коды.

Влияние сегментации на DNL и INL

Степень сегментации оказывает значительное влияние на дифференциальную нелинейность (DNL). Это связано с тем, что полностью термометрические архитектуры ЦАП обладают врожденной монотонностью. В сегментированных архитектурах это свойство сохраняется для термометрической части. Таким образом, выбор уровня сегментации может улучшить характеристики DNL.

Однако интегральная нелинейность (INL) остается независимой от выбранной степени сегментации. Это объясняется тем, что INL формируется за счет накопления случайных расхождений между всеми резисторами, вне зависимости от их расположения или способа декодирования. Следовательно, сегментация или изменение стратегии декодирования не способны устранить эту проблему.

Исследования

Проведем исследования на влияние сегментации битов на линейность ЦАП.

Для моделирования будет использоваться отечественная технология КНИ Микрон.

Архитектуры ЦАП будем именовать как xxVuT, где xx-количество бинарных битов, а uu-количество термометрических битов.

Для разных архитектур результаты моделирования на рисунках 1 - 7.

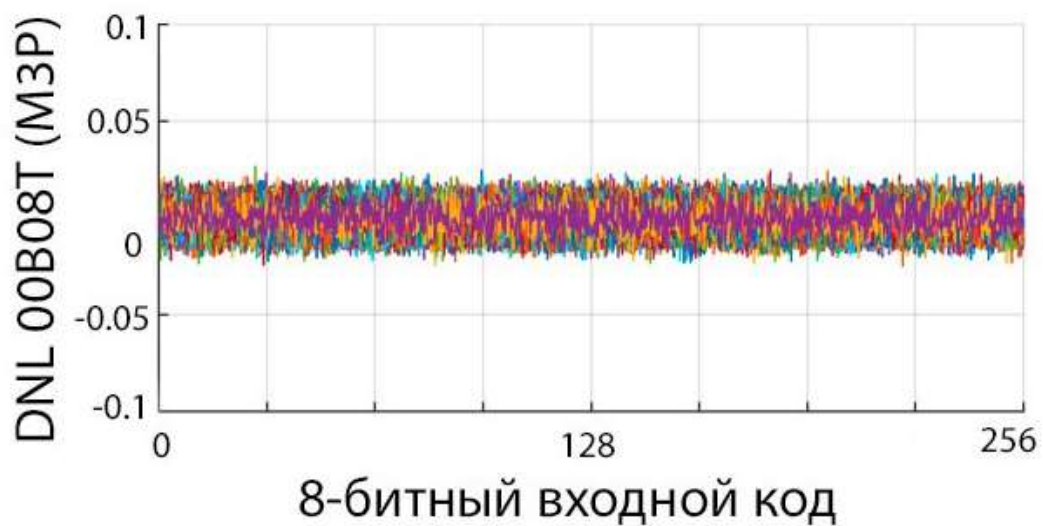


Рисунок 1 - DNL для ЦАП с 0 бинарно-взвешенными битами и 8 термометрическими

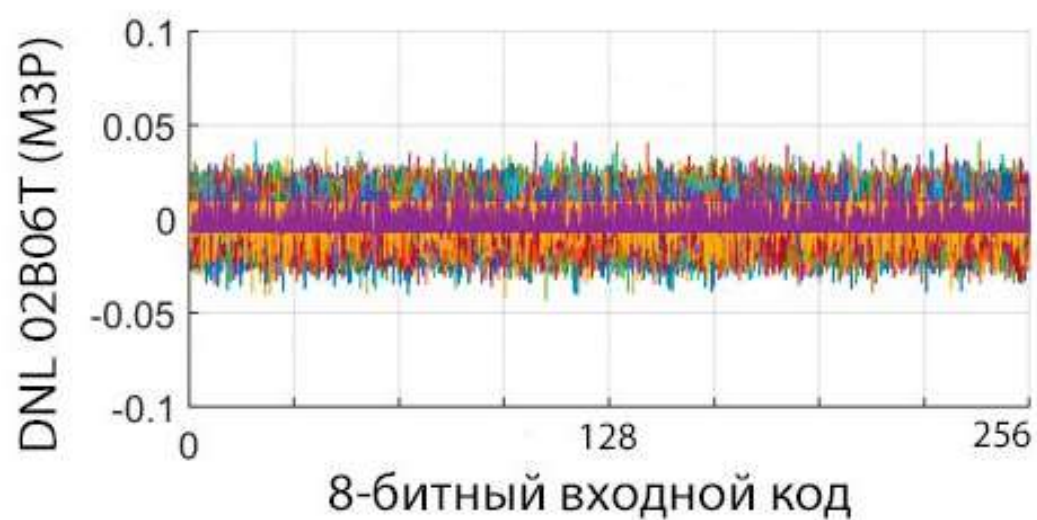


Рисунок 2 - DNL для ЦАП с 2 бинарно-взвешенными битами и 6 термометрическими

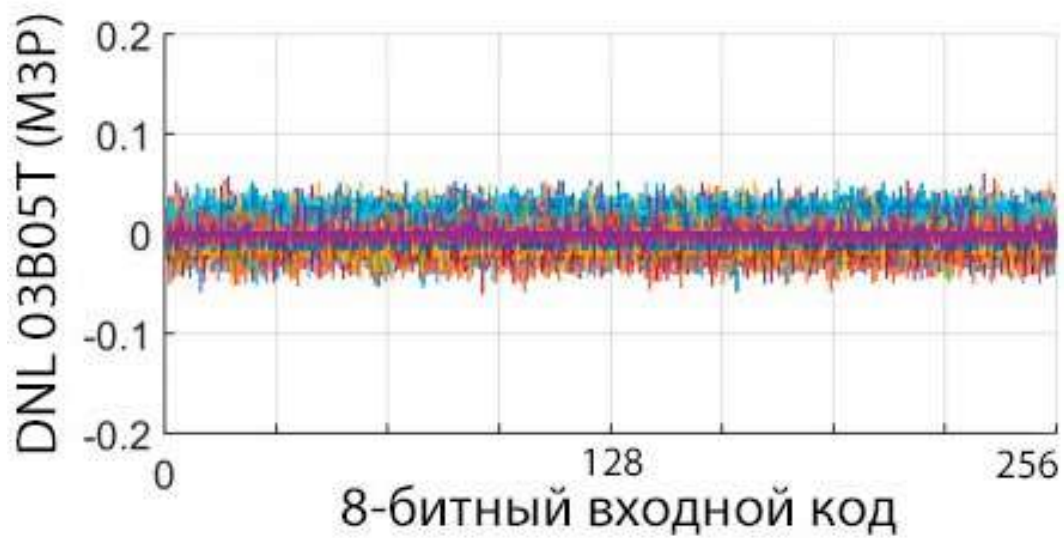


Рисунок 3 - DNL для ЦАП с 3 бинарно-взвешенными битами и 5 термометрическими

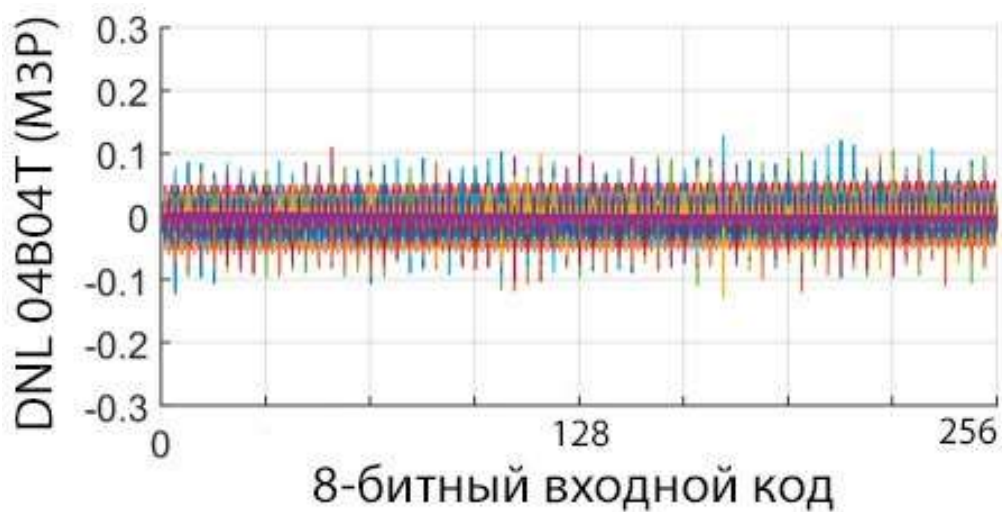


Рисунок 4 - DNL для ЦАП с 4 бинарно-взвешенными битами и 4 термометрическими

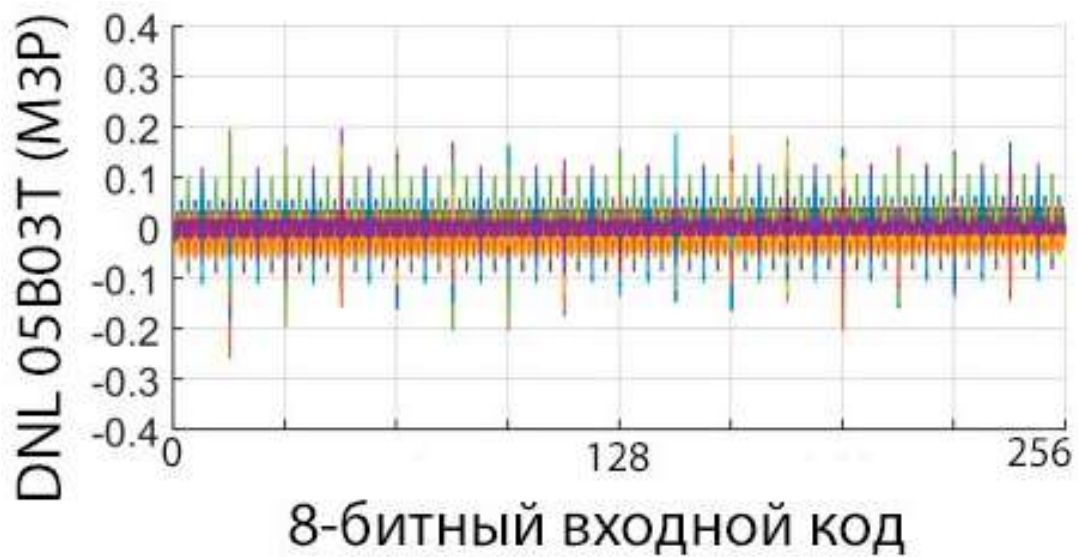


Рисунок 5 - DNL для ЦАП с 5 бинарно-взвешенными битами и 3 термометрическими

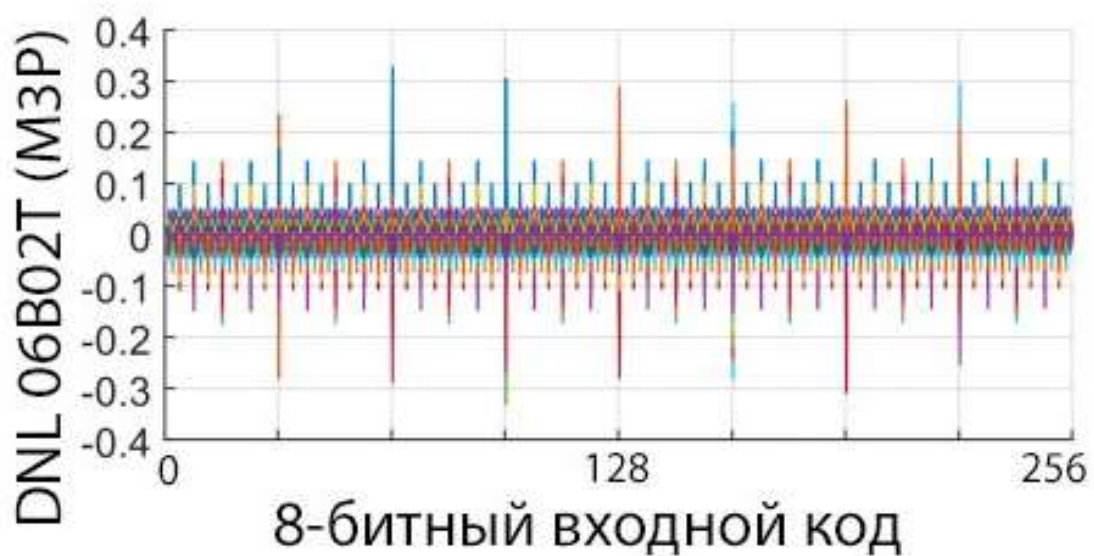


Рисунок 6 - DNL для ЦАП с 6 бинарно-взвешенными битами и 2 термометрическими

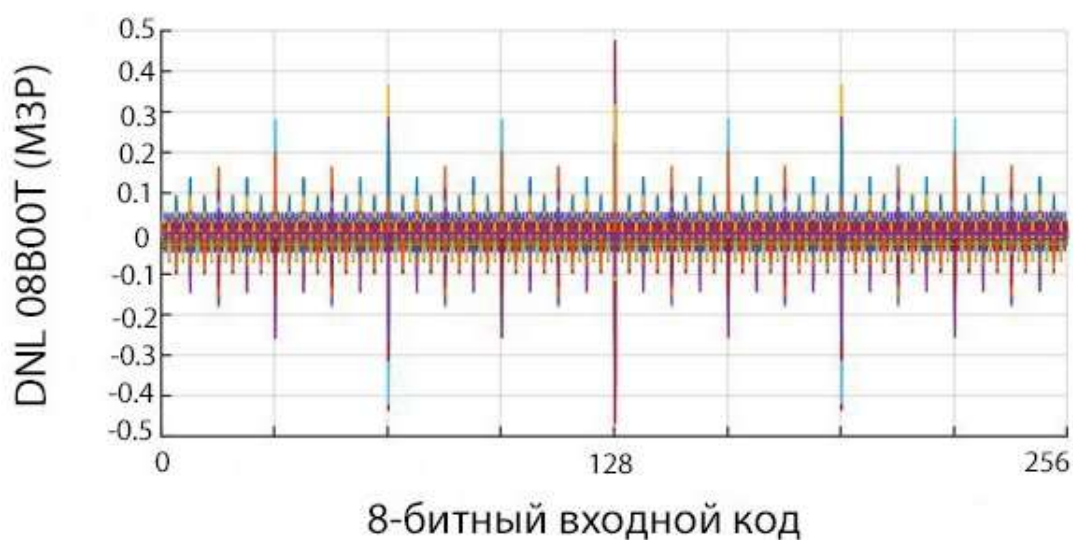


Рисунок 7 - DNL для ЦАП с 8 бинарно-взвешенными битами и 0 термометрическими

Как выяснилось сегментация битов сильно влияет на DNL, DNL увеличивается с ростом бинарно-взвешенных битов, но каким образом количество термометрических битов влияет на площадь, а в частности на количество резисторов номинала R. Результаты подсчетов отображены в таблице 1.

Таблица 1 - ЦАП с разной сегментацией

Конфигурация ЦАП	Количество резисторов
08T00B DAC	255
07T01B DAC	127 + 4
06T02B DAC	63 + 7
05T03B DAC	31 + 10
04T04B DAC	15 + 13
03T05B DAC	7 + 16
02T06B DAC	3 + 19
01T07B DAC	1 + 22
00T08B DAC	0 + 25

Объяснение:

1. Термометрические биты (Т):

Для n термометрических битов требуется $2^n - 1$ резисторов.

2. Бинарно - взвешенные биты (В):

Для m бинарных битов требуется $3m + 1$ резисторов.

Итоговые значения резисторов рассчитываются как сумма резисторов для термометрической и двоично-взвешенной частей.

Помимо резисторов необходимы ключи, причем достаточно большие чтобы не внести большого сопротивления. В таблице 2 указано необходимое количество ключей для каждой архитектуры.

Таблица 2 - Размерность разных архитектур ЦАП

Конфигурация ЦАП	Количество ключей (термометрическая часть)	Количество ключей (бинарная часть)	Всего ключей
08T00B DAC	256	0	256
07T01B DAC	128	1	129
06T02B DAC	64	2	66
05T03B DAC	32	3	35
04T04B DAC	16	4	20
03T05B DAC	8	5	13
02T06B DAC	4	6	10
01T07B DAC	2	7	9
00T08B DAC	0	8	8

Расчеты:

Термометрические биты (Т):

Для термометрической части используется $2n - 1$ ключей, если не учитывать дополнительные ключи для выбора или окончания цепи. Если включить их, получится $2n$.

Бинарно-взвешенные биты (В):

Для бинарной части количество ключей равно числу битов m .

Для простоты, предположим, что термометрическая архитектура использует 2^n ключей (включая дополнительные).

Объяснение итогов:

- Для термометрической части количество ключей растет экспоненциально с увеличением числа битов.
- Для бинарной части оно линейно зависит от количества двоично-взвешенных битов.
- Общая сумма — это комбинация ключей для обеих частей.

Как видно, сегментация значительно увеличивает площадь экспоненциально.

Использованные источники:

В результате моделирования различных архитектур ЦАП с комбинированным использованием термометрических и двоично-взвешенных битов выявлены важные закономерности, определяющие компромисс между линейностью, занимаемой площадью и сложностью реализации.

1. Линейность:

Увеличение количества термометрических битов значительно улучшает линейность устройства, что объясняется природой термометрических архитектур, обладающих врожденной монотонностью. Это свойство особенно важно для приложений, где

требуется высокая точность преобразования, например, в аудио- или измерительных системах.

2. Площадь и сложность:

С ростом числа термометрических битов увеличивается количество необходимых резисторов и ключей, что приводит к росту занимаемой площади и повышению сложности маршрутизации. В частности:

- Количество резисторов растет экспоненциально для термометрической части и линейно для бинарной.
- Количество ключей также увеличивается экспоненциально для термометрической части, тогда как для бинарной оно пропорционально числу битов.

3. Компромисс:

Комбинированные (сегментированные) архитектуры предлагают гибкость в выборе числа термометрических и двоичных битов, позволяя сбалансировать требования к линейности и площади. Оптимальный выбор архитектуры определяется конкретными требованиями приложения, включая доступные ресурсы и требуемую производительность.

Рекомендации:

- Для систем с жесткими ограничениями по площади предпочтительнее использовать архитектуры с преобладанием двоично-взвешенных битов.
- Для систем, где критична высокая линейность, рекомендуется увеличивать долю термометрических битов, принимая во внимание рост затрат на реализацию.
- Оптимальный баланс между линейностью и затратами достигается в частично сегментированных архитектурах, где термометрические биты покрывают старшие разряды.

Таким образом, выбор подходящей архитектуры ЦАП требует тщательного анализа требований к системе и компромисса между линейностью, занимаемой площадью и сложностью реализации.

Список литературы

1. P. Palmers and M. S. J. Steyaert, “A 10Bit 1.6-GS/s 27-mW Current-Steering D/A Converter With 550-MHz 54-dB SFDR Bandwidth in 130-nm CMOS,” IEEE Transactions on Circuits and Systems I: Regular Papers, vol. 57, no. 11, pp. 2870–2879, 2010.
2. B. Razavi, “The Current-Steering DAC,” IEEE Solid-State Circuits Magazine, no. “A Circuit for All Seasons,” 2018.
3. B. Razavi, Principles of Data Conversion, 1955.
4. D. Marche and Y. Savaria, “Modeling R-2R segmented-ladder DACs,” IEEE Transactions on Circuits and Systems I, no. 1, pp. 31–43, 2010.
5. X. Jiang, B. B. Nikjou, W. Khalil, and S. R. Naqvi, “Differential digital-to-analog converter,” Tech. Rep., 2005.